

SIGNAL DISCRIMINATION CIRCUIT

Publication number: JP63302633

Publication date: 1988-12-09

Inventor: TANNO MASAYA

Applicant: SANYO ELECTRIC CO

Classification:

- international: H03K5/26; H03K5/01; H03K5/1254; H04H5/00;
H03K5/22; H03K5/01; H03K5/125; H04H5/00; (IPC1-7):
H03K5/01; H03K5/26; H04H5/00

- european:

Application number: JP19870139239 19870603

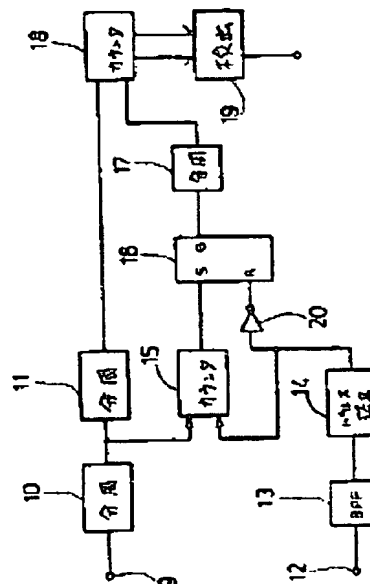
Priority number(s): JP19870139239 19870603

Report a data error here

Abstract of JP63302633

PURPOSE: To prevent erroneous discrimination due to noise by providing a counter counting pulses which are generated when a counter counting the pulses generated in accordance with identification signals executes a prescribed counting.

CONSTITUTION: The stereo pilot signal of 19kHz is inputted to an input terminal 9, is frequency divided in a frequency-dividing circuit 10, which generates the clock signal of 1.2kHz and outputs it to the counter 15. A frequency-dividing circuit 11 simultaneously frequency divides the signal and outputs the clock signal of 74Hz to the counter 15. The identification signal inputted to an input terminal 12 is inputted to a pulse generation circuit 14 through a BPF13 and the pulses are inputted to the counter 15 and counting starts. If the discrete value becomes 40, an output signal is generated and an FF16 is set. On the other hand, the output signal of the circuit 14 is inputted to the FF16 through an inverter 20 and the FF16 is reset. A frequency dividing circuit 17 frequency divides the output signal of the FF16 so as to input it to the counter 18. The counter 18 counts a period when a frequency-dividing output signal becomes H, and a detection circuit 19 compares the discrete value so as to decide the presence of the identification signal.



Data supplied from the esp@cenet database - Worldwide

⑫ 公開特許公報(A)

昭63-302633

⑮ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)12月9日

H 04 H 5/00
H 03 K 5/01
5/26

C-6866-5K
G-7631-5J
F-6959-5J

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 信号判別回路

⑰ 特 願 昭62-139239

⑱ 出 願 昭62(1987)6月3日

⑲ 発 明 者 丹 野 真 哉 大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内
⑳ 出 願 人 三 洋 電 機 株 式 有 限 公 司 大阪府守口市京阪本通2丁目18番地
㉑ 代 理 人 弁 理 士 西 野 卓 嗣 外1名

明 細 書

1. 発明の名称

信号判別回路

2. 特許請求の範囲

(1) 識別信号に応じたパルスが発生する第1パルス発生回路と、該第1パルス発生回路の出力パルスに応じてクロック信号を計数する第1カウンタと、該第1カウンタが所定計数を行なったとき発生する出力信号に応じてパルスが発生する第2パルス発生回路と、該第2パルス発生回路の出力パルスに応じてクロック信号を計数する第2カウンタと、該第2カウンタの計数値により識別信号の存在を検出する検出回路とを備える信号判別回路。

3. 発明の詳細な説明

(イ) 産業上の利用分野

本発明は、所定周波数の識別信号の存在を判別する信号判別回路に関するもので、特にFMXステレオ放送の識別信号の如く、低周波の識別信号の存在を判別するに適した信号判別回路に関する。

る。

(ロ) 従来の技術

FMステレオ放送のS/Nの改善を計り、サービスイリアの拡大を計ったものとして、FMXステレオ放送が提案されている。前記FMXステレオ放送は、従来のFMステレオ放送の送信信号に加えて、圧縮されたステレオ差信号を同時に送信するもので、前記圧縮されたステレオ差信号は、ステレオ差信号がAM変調される38KHz副搬送波に直交関係に変調されている。また、FMXステレオ放送の送信信号中には、通常のFMステレオ放送と区別する為、10Hzの識別信号が含まれている。従って、FMXステレオ受信を行なう為には、前記識別信号の検出を行ない、受信機の受信モードをFMXステレオ受信に適する様切替える必要がある。

尚、FMXステレオ放送については、雑誌「JAS JOURNAL」1988年9月号第11頁乃至第15頁に詳述されている。

ところで、前記10Hzの識別信号を検出する

為には、第2図に示す如き信号判別回路を用いればよい。第2図において、第1入力端子(1)に印加される19 KHz ステレオパイロット信号は、第1分周回路(2)で約7.4 Hz に分周され、クロック信号としてカウンタ(3)に印加される。一方第2入力端子(4)に印加される10 Hz 識別信号は、バンドパスフィルタ(5)を介してパルス発生回路(6)に印加される為、該パルス発生回路(6)から識別信号と等しい周波数のパルス信号が発生する。前記パルス信号は、第2分周回路(7)で分周されカウンタ(3)に動作信号として供給される。その為、前記カウンタ(3)において、前記パルス信号の「H」期間中クロック信号の計数が行なわれ、前記カウンタ(3)の計数値が所定値か否かが検出回路(5)で検出される。

(n) 発明が解決しようとする問題点

第2図の判別回路を用いてFMXステレオ放送の10 Hz 識別信号の判別を行なう場合、バンドパスフィルタ(5)としては10 Hz の中心周波数を有するものが使用される。一方、前記FMXステ

レオ放送のプログラム信号は、下限周波数が50 Hz に規定されており、プログラム信号のレベルは、識別信号のレベルよりも大に規定されている。その為、プログラム信号の一部がバンドパスフィルタ(5)を通過してパルス発生回路(6)に印加される。前記パルス発生回路(6)は、識別信号の零クロスを検出してパルスが発生するものである為、低周波大振幅のプログラム信号がバンドパスフィルタ(5)から漏れると、前記パルス発生回路(6)の出力端に幅の狭い出力パルスが発生し、カウンタ(3)が前記幅の狭いパルスに応じて誤動作する危険が生じる。

(二) 問題点を解決するための手段

本発明は、上述の点に鑑み成されたもので、前記幅の狭いパルスによる誤動作を防止する為、識別信号に応じたパルスが発生する第1パルス発生回路と、該第1パルス発生回路の出力パルスに応じてクロック信号を計数する第1カウンタと、該第1カウンタが所定計数を行なったとき発生する出力信号に応じてパルスが発生する第2パルス発

生回路と、該第2パルス発生回路の出力パルスに応じてクロック信号を計数する第2カウンタと、該第2カウンタの計数値により識別信号の存在を検出する検出回路とを備える点を特徴とする。

(*) 作用

本発明に依れば、第1パルス発生回路に識別信号とともに該識別信号よりも高い周波数の雑音が入混しても、前記雑音に応じたパルスが発生するのを防止出来る。その為、前記雑音に起因する誤判別を防止出来る。

(ハ) 実施例

第1図は、本発明の一実施例を示す回路図で、(9)は19 KHz ステレオパイロット信号が印加される第1入力端子、(10)は前記ステレオパイロット信号を分周し、例えば1.2 KHz の第1クロック信号を発生する第1分周回路、(11)は前記第1クロック信号を分周し、例えば7.4 Hz の第2クロック信号を発生する第2分周回路、(12)は識別信号が印加される第2入力端子、(13)は該第2入力端子(12)に印加される識別信号以外の信号を減

衰させるバンドパスフィルタ、(14)は該バンドパスフィルタ(13)の出力信号に応じたパルスが発生する第1パルス発生回路、(15)は該第1パルス発生回路(14)の出力信号が「H」となる期間、第1分周回路(10)の出力クロック信号を計数する第1カウンタ、(16)は該第1カウンタ(15)の出力信号に応じてセットされ、前記第1パルス発生回路(14)の出力信号に応じてリセットされるフリップフロップ回路、(17)は該フリップフロップ回路(16)の出力信号を分周する第3分周回路、(18)は該第3分周回路(17)の出力信号が「H」となる期間、第2分周回路(11)の出力クロック信号を計数する第2カウンタ、及び(19)は該第2カウンタ(18)の計数値が所定値になったことを検出し、出力信号を発生する検出回路である。尚、前記フリップフロップ回路(16)は第2パルス発生回路として動作するものである。

第2入力端子(12)に印加される識別信号は、バンドパスフィルタ(13)を通過して第1パルス発生回路(14)に印加される。その為、入力信号の零ク

ロスに応じたパルスが発生する第1パルス発生回路(14)から前記入力信号に応じた出力パルスが発生する。いま、入力端子(12)に識別信号とともに該識別信号の周波数よりも高い周波数の雑音(プログラム信号)が印加され、バンドパスフィルタ(13)から第3図(イ)に示す信号が発生したとすれば、第1パルス発生回路(14)から第3図(ロ)に示す信号が発生する。前記第3図(ロ)に示す信号は、前記雑音に起因する幅の狭いパルスが含まれている。第1カウンタ(15)は、前記パルス発生回路(14)の出力信号に応じて計数を開始する。前記第1カウンタ(15)において、1.2 KHzのクロック信号が約40個計数されると、前記第1カウンタ(15)から出力信号(第3図(ハ))が発生し、フリップフロップ回路(16)がセットされる。また、前記第1パルス発生回路(14)の出力信号がインバータ(20)により反転されてフリップフロップ回路(16)のリセット端子に印加されるので、前記フリップフロップ回路(16)は、前記第1パルス発生回路(14)の出力信号の立下がりでリセットされ

る。第1パルス発生回路(14)の出力信号のパルス幅が十分に長い場合、第1カウンタ(15)において、1.2 KHzクロック信号の40計数が行なわれるので、フリップフロップ回路(16)のセットが行なわれる。しかしながら、前記第1パルス発生回路(14)の出力信号のパルス幅が短いと、第1カウンタ(15)において40計数が行なわれず、フリップフロップ回路(16)がセットされない。従って、第3図(ロ)の信号に応じて、フリップフロップ回路(16)から第3図(ニ)の出力信号が発生する。

フリップフロップ回路(16)の出力信号は、第3分周回路(17)で分周され、第2カウンタ(18)に動作信号として印加される。その為、前記第2カウンタ(18)は、第3分周回路(17)の出力信号が「H」の期間、第2分周回路(11)から得られる74 Hzのクロック信号を計数する。第2カウンタ(18)の計数値データは、検出回路(19)に転送され、基準データと比較される。前記計数値データが基準データと一致するか両データの差が所定範

圍のときは、識別信号有との判別行なわれ、前記検出回路(19)から「H」の出力信号が発生する。また、前記計数値データが基準データと大きく異なれば、検出回路(19)の出力が「L」になり、識別信号無との判別が行なわれる。従って、前記検出回路(19)の出力信号の有無により、識別信号の存在を判別することが出来る。尚、検出回路(19)はラッチ機能を有し、次のデータの判別結果が出た迄、前の状態を維持する。

(ト) 発明の効果

以上述べた如く、本発明に依れば、識別信号の存在を正確に判別し得る信号判別回路を提供出来る。また本発明に依れば、識別信号に該識別信号よりも周波数の高い雑音が混入した場合、前記雑音による影響を除去することが出来、誤判別を防止し得る。

4. 図面の簡単な説明

第1図は、本発明の一実施例を示す回路図、第2図は従来の信号判別回路を示す回路図、及び第3図(イ)乃至(ニ)は本発明の説明に供する為の特性

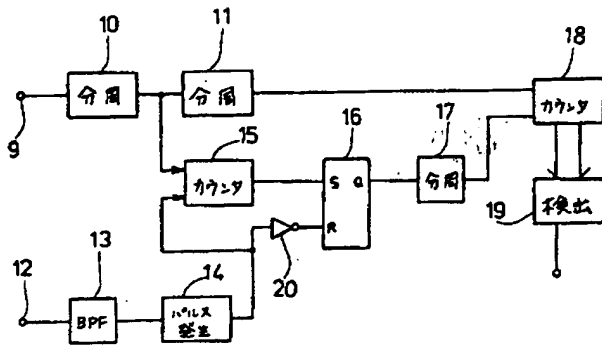
図である。

(14)…第1パルス発生回路、 (15)…第1カウンタ、 (16)…フリップフロップ回路、 (18)…第2カウンタ、 (19)…検出回路。

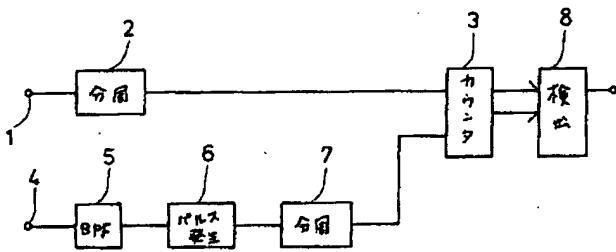
出願人 三洋電機株式会社

代理人 弁理士 西野卓嗣 外1名

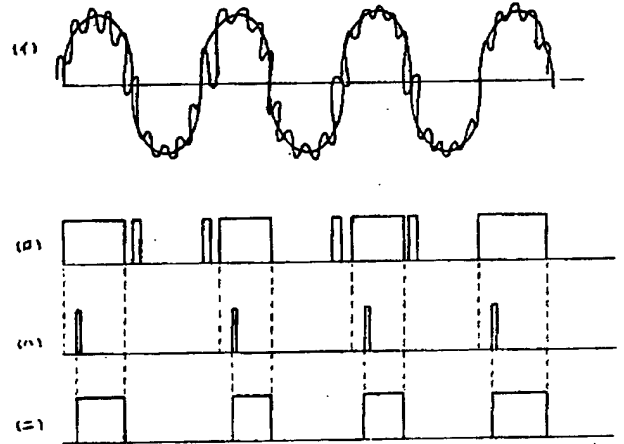
第1図



第2図



第3図



BEST AVAILABLE COPY